



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01270329 A**(43) Date of publication of application: **27 . 10 . 89**

(51) Int. Cl.

**H01L 21/82**  
**H01L 27/04**  
**H03K 19/173**

(21) Application number: **63100631**(22) Date of filing: **22 . 04 . 88**(71) Applicant: **FUJITSU LTD**

(72) Inventor:  
**HIROSE YOSHIO**  
**YAMASHITA KOICHI**  
**KAWAHARA SHIGEKI**  
**SATO SHINJI**

(54) **MASTER SLICING METHOD**

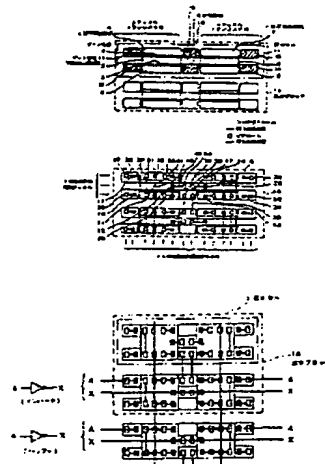
(57) Abstract:

**PURPOSE:** To cut down the turnaround time by a method wherein a basic cell is provided with exceeding three wiring channels in parallel with a gate electrode as well as fourteen or sixteen wiring channels in the direction perpendicular to the former channels while the second wiring layers to be electrically connected to the first wiring layers through via holes performing the required functions are formed.

**CONSTITUTION:** A basic cell 1 is formed on a region formed by three horizontal side wiring channels (e) and fourteen vertical side wiring channels (f) intersecting with the former channels while contact holes (c), a first wiring layers and the via holes (d) are formed at the positions defined by these wiring channels. In a gate electrode leading-out region 11, a contact hole 17 and a via hole 27 are connected by the first wiring layer 38. Thus, a gate electrode 2 can be led out through the via hole 27. Through these procedures, respective patterns of the contact holes, the first wiring layers and via holes are arranged point-symmetrically with the center of a basic block 1A. Consequently, a logic circuit can be made simply by changing the second wiring layer based on the common

pattern until the bia holes thus enabling the turnaround time to be cut down.

COPYRIGHT: (C)1989,JPO&amp;Japio



⑤ Int.Cl.<sup>4</sup>

H 01 L 21/82  
27/04  
H 03 K 19/173

識別記号

1 0 1

庁内整理番号

M-8526-5F  
D-7514-5F  
7328-5J

⑬ 公開 平成1年(1989)10月27日

審査請求 未請求 請求項の数 6 (全28頁)

⑭ 発明の名称 マスタスライス方法

⑰ 特 願 昭63-100631

⑱ 出 願 昭63(1988)4月22日

⑲ 発 明 者 広 瀬 佳 生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
⑲ 発 明 者 山 下 公 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
⑲ 発 明 者 川 原 茂 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
⑲ 発 明 者 佐 藤 眞 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
㉑ 代 理 人 弁理士 井 桁 貞 一 外 2 名

明 細 書

1. 発明の名称

マスタスライス方法

2. 特許請求の範囲

(1) 平行に延在する2本のゲート電極(2)、  
(3)と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域(4)～(6)と、前記2本のゲート電極(2)、(3)を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域(7)～(9)と、該p型不純物領域(4)～(6)とn型不純物領域(7)～(9)との間を絶縁分離する分離領域(10)と、該ゲート電極を外側に引き出すためp型不純物領域(4)、(6)およびn型不純物領域(7)、(9)の端部に設けられた4つのゲート電極引き出し領域部(11)～(14)と分離領域上に設けられた2つのゲート電極引き出し領域部(15)、(16)とを有するセルを基本セルとし、かつ該基本セルを絶縁体上に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、  
前記基本セルはゲート電極(2)、(3)に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、  
前記各ゲート電極引き出し領域部(11)～(14)上の第1の層間絶縁膜および各不純物領域(4)～(9)上の第1の層間絶縁膜にはそれぞれ少なくとも1つのコンタクトホール(17)～(26)を形成し、  
前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホール(17)～(20)に隣接して少なくとも1つのビアホール(27)～(30)を、前記ゲート電極の両側の各不純物領域上の第2の層間絶縁膜には互に隣接して少なくとも3つビアホール(31)～(33)を、また前記分離領域上の第2の層間

絶縁膜(15)、(16)とを有するセルを基本セルとし、かつ該基本セルを絶縁体上に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極(2)、(3)に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、

前記各ゲート電極引き出し領域部(11)～(14)上の第1の層間絶縁膜および各不純物領域(4)～(9)上の第1の層間絶縁膜にはそれぞれ少なくとも1つのコンタクトホール(17)～(26)を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホール(17)～(20)に隣接して少なくとも1つのビアホール(27)～(30)を、前記ゲート電極の両側の各不純物領域上の第2の層間絶縁膜には互に隣接して少なくとも3つビアホール(31)～(33)を、また前記分離領域上の第2の層間

絶縁膜に少なくとも4つのビアホール(34)～(37)を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層(38)を、前記ゲート電極の両側の不純物領域上の1つのビアホール同士を接続する第1の配線層(39)を、また前記両側の不純物領域上の別の1つのビアホール同士を接続して主として電源線として使用する第1の配線層(40)を、前記同一の不純物領域上のビアホールとコンタクトホールとを互に接続する第1の配線層(41)を、前記ゲート電極の間の不純物領域内のコンタクトホールと分離領域内の1つのビアホールとを接続する第1の配線層(42)を、前記分離領域内の別のビアホールと軸対称にある基本セルの分離領域内の別のビアホールとを接続する第1の配線層(43)を予め形成しておき、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成すること

基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極(2)、(3)に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間に少なくともゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール(44)～(47)を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール(48)、(49)を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも2つのコンタクトホール(50)、(51)を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には前記コンタクトホールに隣接して少なくとも1つのビアホール(52)、(53)を、前記ゲート電極の両側の一方の不純物領域上の第2層間絶縁膜には互に隣接して少なくとも3つ

を特徴とするマスクスライス方法。

(2) 平行に延在する2本のゲート電極(2)、

(3)と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域(4)～(6)と、前記2本のゲート電極(2)、

(3)を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたn型チャネルトランジスタのソース・ドレインとしてのn型不純物領域(7)～(9)と、該p型不純物領域(4)～(6)とn型不純物領域(7)～(9)との間を絶縁分離する分離領域(10)と、該ゲート電極を外部に引き出すためp型不純物領域(4)、(6)およびn型不純物領域(7)、(9)の端部に設けられた4つのゲート電極引き出し領域部(11)～(14)と分離領域上に設けられた2つのゲート電極引き出し領域部(15)、(16)とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配列してなる2つのセルを一基本ブロック1Aとして該

のビアホール(54)、(55)、(56)を、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜にはコンタクトホールの両側に2つのビアホール(57)、(58)を、また前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール(59)、(60)を、前記基本セル間の1本の配線チャネル領域上に少なくとも2つのビアホール(61)、(62)を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層(63)を、前記ゲート電極の両側の不純物領域の一方の領域上の1つのビアホールとゲート電極の間の不純物領域内のコンタクトホールとを接続する第1の配線層(64)を、前記ゲート電極の両側の不純物領域上の1つのビアホール同士を接続して主として電源線として使用する第1の配線層(65)を、前記両側の不純物領域上の別の1つのビアホールと同一領域内のコンタクトホールとを接続する第1の配線層(66)、(67)を、前記ゲート電極の間の不純物領域内の別のコンタ

クトホール(51)と前記分離領域内のビアホール(59)とを接続する第1の配線層(68)を、前記基本セル間配線チャネル上に第1の配線層(69)を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁層に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することとを特徴とするマスクスライス方法、

(3) 平行に延在する2本のゲート電極(2)、

(3)と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域(4)~(6)と、前記2本のゲート電極(2)、

(3)を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域(7)~(9)と、該p型不純物領域(4)~(6)とn型不純物領域(7)~(9)との間を絶縁分離する分離領域(10)と、該ゲート電極を外部に引き出すためp

コンタクトホール(73)、(74)を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁層には前記コンタクトホールに隣接して少なくとも1つのビアホール(75)を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁層に互に隣接して少なくとも3つのビアホール(76)~(78)を、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁層にはコンタクトホールの両側に2つのビアホール(79)、(80)を、前記分離領域上の第2の層間絶縁層に少なくとも2つのビアホール(81)、(82)を、前記基本セル間の1本の配線チャネル領域上に少なくとも4つのビアホール(83)~(86)を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層(87)を、前記ゲート電極の両側の不純物領域の一方領域上の1つのビアホール(76)とゲート電極の間の不純物領域内のコンタクトホール(73)とを接続する第1の配線層(88)を、

型不純物領域(4)、(6)およびn型不純物領域(7)、(9)の両側に設けられた4つのゲート電極引き出し領域部(11)~(14)と分離領域上に設けられた2つのゲート電極引き出し領域部(15)、(16)とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を有し、

前記各ゲート電極引き出し領域部上の第1の層間絶縁層に少なくとも1つのコンタクトホール(70)を、およびゲート電極の両側の不純物領域上の第1の絶縁層に少なくとも1つのコンタクトホール(71)、(72)を、ゲート電極の間の不純物領域上の第1の絶縁層に少なくとも2つの

2つの基本セルのゲート電極の両側の不純物領域上の1つのビアホール同士(77)、(79)を同一チャネル上に連続的に接続して主として電源線として使用する第1の配線層(89)を、前記両側の不純物領域上の別の1つのビアホールと同一領域内のコンタクトホールとを接続する第1の配線層(90)を、前記ゲート電極の間の不純物領域内の別のコンタクトホールと前記分離領域内のビアホールとを接続する第1の配線層(91)を、前記電源線用の第1の配線層(89)と接触しないように基本セル間の配線チャネル上の各ビアホール(83)~(86)を断続的に接続する第1の配線層(92)を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁層に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することとを特徴とするマスクスライス方法、

(4) 平行に延在する2本のゲート電極(2)、

(3)と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタ

タのソース・ドレインとしてのp型不純物領域(4)~(6)と、前記2本のゲート電極(2)、(3)を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域(7)~(9)と、該p型不純物領域(4)~(6)とn型不純物領域(7)~(9)との間を絶縁分離する分離領域(10)と、該ゲート電極を外部に引き出すためp型不純物領域(4)、(6)およびn型不純物領域(7)、(9)の端部に設けられた4つのゲート電極引き出し領域部(11)~(14)と分離領域上に設けられた2つのゲート電極引き出し領域部(15)、(16)とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の16本

ールに隣接して、他の1つ(103)は該コンタクトホールに1配線チャネル領域分の間隔を置いて2つのビアホールを、また前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール(104)、(105)を、前記基本セル間の1本の配線チャネル領域上に少なくとも4つのビアホール(106)~(109)を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層(110)を、前記ゲート電極の両側の不純物領域の一方の領域上の1つのビアホールとゲート電極間の不純物領域内のコンタクトホールとを接続する第1の配線層(111)を、2つの基本セルのゲート電極の両側の不純物領域上の1つのビアホール同士を同一チャネル上に連続的に接続して主として電源線として使用する第1の配線層(112)を、前記両側の不純物領域上の別の1つのビアホールと同一領域内のコンタクトホールとを接続する第1の配線層(113)、(114)を、前記ゲート電極間の不純物領域内の別のコン

の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール(93)を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール(94)、(95)を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも2つのコンタクトホール(96)、(97)を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には前記コンタクトホール(93)に隣接して少なくとも1つのビアホール(98)を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁膜に2つ(99)、(100)は隣接して、他の1つ(101)は1配線チャネル領域分の間隔を置いて少なくとも3つのビアホールを、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールの両側に1つ(102)は該コンタクトホ

ラクトホールと前記分離領域内のビアホールとを接続する第1の配線層(115)を、前記電源線用の第1の配線層(112)と接触しないように基本セル間の配線チャネル上の各ビアホールを所定的に接続する第1の配線層(116)を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することとを特徴とするマスクスライス方法。

(5) 平行に存在する2本のゲート電極(2)、(3)と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域(4)~(6)と、前記2本のゲート電極(2)、(3)を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域(7)~(9)と、該p型不純物領域(4)~(6)とn型不純物領域(

7)～(9)との間を絶縁分離する分離領域(10)と、該ゲート電極を外部に引き出すためp型不純物領域(4)、(6)およびn型不純物領域(7)、(9)の端部に設けられた4つのゲート電極引き出し領域部(11)～(14)と分離領域上に設けられた2つのゲート電極引き出し領域部(15)、(16)とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール(117)を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタク

と4つのビアホール(128)～(131)を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層(132)を、2つの基本セルのゲート電極の両側の不純物領域上の1つのビアホール同士およびゲート電極間の不純物領域内のビアホールを連続的に接続して主として電源線として使用する第1の配線層(133)を、前記ゲート電極の両側の不純物領域の一方の領域内のコンタクトホールと他のビアホールとを接続する第1の配線層(134)、(135)を、前記ゲート電極間の不純物領域内のコンタクトホールと前記分離領域内のビアホールとを接続する第1の配線層(136)を、前記電源線用の第1の配線層と接触しないように基本セル間の配線チャネル上の各ビアホールを所定的に接続する第1の配線層(137)を予め形成しており、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層

トホール(118)、(119)を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール(120)を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホールに隣接して少なくとも1つのビアホール(121)を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールを中心にして1つ(122)は該コンタクトホールに隣接して他の1つ(123)は該コンタクトホールから1配線チャネル領域分の間隔を置いた2つのビアホールを、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールの片側に1つ(124)は該コンタクトホールに隣接して、他の1つ(125)は該ビアホールに1配線チャネル領域分の間隔を置いた2つ目のビアホールを、前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール(126)、(127)を形成し、前記基本セル間の1本の配線チャネル領域上に少なくと

を電気的に接続する第2の配線層を形成することを特徴とするマスクスライス方法。

(6) 平行に延在する2本のゲート電極(2)、(3)と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域(4)～(6)と、前記2本のゲート電極(2)、(3)を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域(7)～(9)と、該p型不純物領域(4)～(6)とn型不純物領域(7)～(9)との間を絶縁分離する分離領域(10)と、該ゲート電極を外部に引き出すためp型不純物領域(4)、(6)およびn型不純物領域(7)、(9)の端部に設けられた4つのゲート電極引き出し領域部(11)～(14)と分離領域上に設けられた2つのゲート電極引き出し領域部(15)、(16)とを有するセルを基本ブロックとし、かつ該基本ブロックを多数配列して

なるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール(138)を形成し、ゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール(139)、(140)を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール(141)をそれぞれ同一垂直配線チャネル上に形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホールに隣接して少なくとも1つのビアホール(142)を形成し、前記ゲート電極間の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールに隣接して1つのビアホール(143)を形成し、

他のビアホールとを接続する第1の配線層(156)を、電源線用の第1の配線層と接続しないように基本セル間の配線チャネル上の各ビアホールを所定的に接続する第1の配線層(157)を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電氣的に接続する第2の配線層を形成することを特徴とするマスクスライス方法。

### 3. 発明の詳細な説明

#### (概要)

pチャネルトランジスタとnチャネルトランジスタからなる基本セルを配列してなるトランジスタアレイのマスクスライス方法に関し、

ターンアラウンドタイムの短縮化とともに、トランジスタアレイの作成面積の縮小化を目的とし、

平行に延在する2本のゲート電極と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域と、前記2本のゲート

電極に隣接する垂直同一配線チャネル上のゲート電極の両側の不純物領域およびゲート電極間の不純物領域内にそれぞれ1つつつビアホール(144)、(145)、(146)を、前記基本セル間の1本の水平配線チャネル領域上に少なくとも4つのビアホール(147)～(150)を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層(151)を、ゲート電極の両側の不純物領域上の1つのビアホール同士を連続的に接続して電源線として使用する第1の配線層(152)を、前記ゲート電極の両側の不純物領域のそれぞれの同一領域内のコンタクトホールと他のビアホールとを接続する第1の配線層(153)、(154)を、前記ゲート電極間の不純物領域内のコンタクトホールと該コンタクトホールに隣接するビアホールとを接続する第1の配線層(155)を、前記ゲート電極間のp型の不純物領域内の他のビアホールと前記ゲート電極間のn型の不純物領域内

電極を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域と、該p型不純物領域とn型不純物領域との間を絶縁分離する分離領域と、該ゲート電極を外側に引き出すため両側のp型不純物領域およびn型不純物領域の端部に設けられた4つのゲート電極引き出し領域部と分離領域上に設けられた2つのゲート電極引き出し領域部とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロックとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本又は16本の配線チャネルを有し、

コンタクトホール、第1の配線層およびビアホールを予め適宜作成しておく、

要求する回路機能に従って、ビアホールを介して第1の配線層を電氣的に接続する第2の配線層

を形成することを特徴とする。

#### (用途上の利用分野)

本発明はpチャネルトランジスタとnチャネルトランジスタからなる基本セルを配列してなるトランジスタアレイのマスクスライス方法に関するものである。

#### (従来の技術)

第14図はCMOS構成の半導体装置のマスクスライス方法の基本セルパターンである。図において、158は基本セルであり、2つのpチャネルトランジスタと2つのnチャネルトランジスタとによって構成されている。1つのpチャネルトランジスタはポリSiゲート電極159とソース・ドレイン領域160、161(p型不純物領域)からなり、他方のpチャネルトランジスタはポリSiゲート電極162とソース・ドレイン領域161、163(p型不純物領域)からなっている。また1つのnチャネルトランジスタはポリSiゲ

#### (発明が解決しようとする課題)

ところで、従来例のマスクスライス方法によれば、コンタクトホールパターンマスク、第1層目のA&配線パターンマスク、ビアホールパターンマスクおよび第2層目のA&配線パターンマスクの少なくとも4つのパターンマスクを必要とする。

これらの変更パターンマスクを減らすことが出来れば、従来よりも更にターンアラウンドタイムを短くすることができる。

本発明はかかる従来の問題に鑑みて創作されたものであり、変更パターンマスクを第2層目の配線パターンマスクのみに減らして、ターンアラウンドタイムの短縮が可能な半導体装置のマスクスライス方法の提供を目的とする。

#### (課題を解決するための手段)

本発明の第1のマスクスライス方法は、第2図、第3図に示すように、平行に延在する2本のゲート電極2、3と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルト

ランジスタのソース・ドレイン領域164、165(n型不純物領域)からなり、他方のnチャネルトランジスタはポリSiゲート電極162とソース・ドレイン領域165、166(n型不純物領域)からなっている。そして、これらの領域を保護するために絶縁膜(第1の層間絶縁膜)がその上に形成されている。

ここまで作成した半導体装置をストックしておき、要求される回路機能に応じて絶縁膜にコンタクトホールを開け、次いで第1の配線膜(A&膜)を形成し、次に第2の絶縁膜(第2の層間絶縁膜)を形成してこの第2の絶縁膜にビアホールを形成し、更にビアホールを介して第1の配線膜に接続する第2の配線膜を形成する。

このようにして、コンタクトホール、第1層目のA&配線、ビアホールおよび第2層目のA&配線の4つの各パターンを変更することにより、所定の機能の回路を自在に形成できるので、設計時間および製造工程の短縮化を図ることが可能となる。

ランジスタのソース・ドレインとしてのp型不純物領域4~6と、前記2本のゲート電極2、3を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域7~9と、該p型不純物領域4~6とn型不純物領域7~9との間を絶縁分離する分離領域10と、該ゲート電極を外部に引き出すためp型不純物領域4、6およびn型不純物領域7、9の端部に設けられた4つのゲート電極引き出し領域11~14と分離領域上に設けられた2つのゲート電極引き出し領域15、16とを有するセルを基本セルとし、かつ該基本セルを単位毎に並列に配列してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極2、3に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、

前記各ゲート電極引き出し領域11~14上

の第1の層間絶縁膜および各不純物領域4〜9上の第1の層間絶縁膜にはそれぞれ少なくとも1つのコンタクトホール17〜26を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホール(17)〜(20)に隣接して少なくとも1つのビアホール27〜30を、前記ゲート電極の両側の各不純物領域上の第2の層間絶縁膜には互に隣接して少なくとも3つのビアホール31〜33を、また前記分離領域上の第2の層間絶縁膜に少なくとも4つのビアホール34〜37を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層38を、前記ゲート電極の両側の不純物領域上の1つのビアホール同士を接続する第1の配線層39を、また前記両側の不純物領域上の別の1つのビアホール同士を接続して主として電源線として使用する第1の配線層40を、前記同一の不純物領域上のビアホールとコンタクトホールとを互に接続する第1の配線層41を、前記ゲート電極の

4〜6とn型不純物領域7〜9との間を絶縁分離する分離領域10と、該ゲート電極を外部に引き出すためp型不純物領域4、6およびn型不純物領域7、9の端部に設けられた4つのゲート電極引き出し領域部11〜14と分離領域上に設けられた2つのゲート電極引き出し領域部15、16とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック18として該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極2、3に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間に少なくともゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール44〜47を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール48、49を、ゲート電極の間の不純物

間の不純物領域内のコンタクトホールと分離領域内の1つのビアホールとを接続する第1の配線層42を、前記分離領域内の別のビアホールと軸対称にある基本セルの分離領域内の別のビアホールとを接続する第1の配線層43を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することとを特徴としている。

本発明の第2のマスタスライス方法は、第4図、第5図に示すように、平行に延在する2本のゲート電極2、3と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたp型チャネルトランジスタのソース・ドレインとしてのp型不純物領域4〜6と、前記2本のゲート電極2、3を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたn型チャネルトランジスタのソース・ドレインとしてのn型不純物領域7〜9と、該p型不純物領域

物領域上の第1の絶縁膜に少なくとも2つのコンタクトホール50、51を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には前記コンタクトホールに隣接して少なくとも1つのビアホール52、53を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁膜には互に隣接して少なくとも3つのビアホール54、55、56を、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜にはコンタクトホールの両側に2つのビアホール57、58を、また前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール59、60を、前記基本セル間の1本の配線チャネル領域上に少なくとも2つのビアホール61、62を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層63を、前記ゲート電極の両側の不純物領域の一方の領域上の1つのビアホールとゲート電極の間の不純物領域内のコンタクトホールとを接続する

第1の配線層64を、前記ゲート電極の両側の不純物領域上の1つのビアホール同士を接続して主として電源線として使用する第1の配線層65を、前記両側の不純物領域上の別の1つのビアホールと同一領域内のコンタクトホールとを接続する第1の配線層66、67を、前記ゲート電極の間の不純物領域内の別のコンタクトホール51と前記分離領域内のビアホール59とを接続する第1の配線層68を、前記基本セル間の配線チャネル上に第1の配線層69を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することを得微としている、

本発明の第3のマスクスライス方法は、第6図、第7図に示すように、平行に延在する2本のゲート電極2、3と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域4~6と、前記2本のゲート電極2、3を

共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域7~9と、該p型不純物領域4~6とn型不純物領域7~9との間を絶縁分離する分離領域10と、該ゲート電極を外部に引き出すためp型不純物領域4、6およびn型不純物領域7、9の端部に設けられた4つのゲート電極引き出し領域部11~14と分離領域上に設けられた2つのゲート電極引き出し領域部15、16とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を有し、

前記各ゲート電極引き出し領域部上の第1の層

間絶縁膜に少なくとも1つのコンタクトホール70を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール71、72を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも2つのコンタクトホール73、74を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には前記コンタクトホールに隣接して少なくとも1つのビアホール75を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁膜に互に隣接して少なくとも3つのビアホール76~78を、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜にはコンタクトホールの両側に2つのビアホール79、80を、前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール81、82を前記基本セル間の1本の配線チャネル領域上に少なくとも4つのビアホール83~86を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層

87を、前記ゲート電極の両側の不純物領域の一方の領域上の1つのビアホール76とゲート電極の間の不純物領域内のコンタクトホール73とを接続する第1の配線層88を、2つの基本セルのゲート電極の両側の不純物領域上の1つのビアホール77、79同士を同一チャネル上に連続的に接続して主として電源線として使用する第1の配線層89を、前記両側の不純物領域上の別の1つのビアホールと同一領域内のコンタクトホールとを接続する第1の配線層90を、前記ゲート電極の間の不純物領域内の別のコンタクトホールと前記分離領域内のビアホールとを接続する第1の配線層91を、前記電源線用の第1の配線層89と接触しないように基本セル間の配線チャネル上の各ビアホール83~86を断続的に接続する第1の配線層92を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することを得微としている、

本発明の第4のマスクスライス方法は、第8図、第9図に示すように、平行に延在する2本のゲート電極2、3と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域4〜6と、前記2本のゲート電極2、3を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域7〜9と、該p型不純物領域4〜6とn型不純物領域7〜9との間を絶縁分離する分離領域10と、該ゲート電極を外側に引き出すためp型不純物領域4、6およびn型不純物領域7、9の端部に設けられた4つのゲート電極引き出し領域部11〜14と分離領域上に設けられた2つのゲート電極引き出し領域部15、16とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

は同一領域内のコンタクトホール93の両側に1つ102は該コンタクトホールに隣接して、他の1つ103は該コンタクトホールに1配線チャネル領域分の間隔を置いて2つのビアホールを、また前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール104、105を、前記基本セル間の1本の配線チャネル領域上に少なくとも4つのビアホール106〜109を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層110を、前記ゲート電極の両側の不純物領域の一方の領域上の1つのビアホールとゲート電極間の不純物領域内のコンタクトホールとを接続する第1の配線層111を、2つの基本セルのゲート電極の両側の不純物領域上の1つのビアホール同士を同一チャネル上に連続的に接続して主として電源線として使用する第1の配線層112を、前記両側不純物領域上の別の1つのビアホールと同一領域内のコンタクトホールとを接続する第1の配線層113、114を、前記ゲート電極間の

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の16本の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール93を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール94、95を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも2つのコンタクトホール96、97を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には前記コンタクトホール93に隣接して少なくとも1つのビアホール98を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁膜に2つ99、100は隣接して、他の1つ101は1配線チャネル領域分の間隔を置いて少なくとも3つのビアホールを、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜に

不純物領域内の別のコンタクトホールと前記分離領域内のビアホールとを接続する第1の配線層115を、前記電源線用の第1の配線層112と接触しないように基本セル間の配線チャネル上の各ビアホールを所定的に接続する第1の配線層116を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することを特徴としている、

本発明の第5のマスクスライス方法は、第10図、第11図に示すように、平行に延在する2本のゲート電極2、3と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域4〜6と、前記2本のゲート電極2、3を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域7〜9と、該p型不純物領域

4～6とn型不純物領域7～9との間を絶縁分離する分離領域10と、該ゲート電極を外部に引出すためp型不純物領域4、6およびn型不純物領域7、9の端部に設けられた4つのゲート電極引き出し領域部11～14と分離領域上に設けられた2つのゲート電極引き出し領域部15、16とを有するセルを基本セルとし、かつ該基本セルを軸対称に並列に配置してなる2つのセルを一基本ブロック1Aとして該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール117を、およびゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール118、119を、ゲート電極間の不純物

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層132を、2つの基本セルのゲート電極の両側の不純物領域上の1つのビアホール同士およびゲート電極間の不純物領域内のビアホールを連続的に接続して主として電源線として使用する第1の配線層133を、前記ゲート電極の両側の不純物領域の一方の領域内のコンタクトホールと他のビアホールとを接続する第1の配線層134、135を、前記ゲート電極間の不純物領域内のコンタクトホールと前記分離領域内のビアホールとを接続する第1の配線層136を、前記電源線用の第1の配線層と接触しないように基本セル間の配線チャネル上の各ビアホールを断続的に接続する第1の配線層137を予め形成しておき、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することを特徴としている。

本発明 第6のマスクスライス方法は、第12

領域上の第1の絶縁膜に少なくとも1つのコンタクトホール120を形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホールに隣接して少なくとも1つのビアホール121を、前記ゲート電極の両側の一方の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールを中心にして1つ122は該コンタクトホールに隣接して他の1つ123は該コンタクトホールから1配線チャネル領域分の間隔を置いた2つのビアホールを、前記ゲート電極の両側の他方の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールの片側に1つ124は該コンタクトホールに隣接して、他の1つ125は該ビアホールに1配線チャネル領域分の間隔を置いた2つ目のビアホールを、前記分離領域上の第2の層間絶縁膜に少なくとも2つのビアホール126、127を形成し、前記基本セル間の1本の配線チャネル領域上に少なくとも4つのビアホール128～131を形成し、

図、第13図に示すように、平行に延在する2本のゲート電極2、3と、該ゲート電極の間およびこれらのゲート電極の両側に形成されたpチャネルトランジスタのソース・ドレインとしてのp型不純物領域4～6と、前記2本のゲート電極2、3を共通ゲート電極とし、これらのゲート電極の間およびこれらのゲート電極の両側に形成されたnチャネルトランジスタのソース・ドレインとしてのn型不純物領域7～9と、該p型不純物領域4～6とn型不純物領域7～9との間を絶縁分離する分離領域10と、該ゲート電極を外部に引出すためp型不純物領域4、6およびn型不純物領域7、9の端部に設けられた4つのゲート電極引き出し領域部11～14と分離領域上に設けられた2つのゲート電極引き出し領域部15、16とを有するセルを基本ブロックとし、かつ該基本ブロックを多数配列してなるトランジスタアレイにおいて、

前記基本セルはゲート電極に平行な少なくとも3本の配線チャネルとこれと垂直な方向の14本

の配線チャネルを有し、かつ基本セル間にゲート電極に平行な少なくとも1本の配線チャネル領域を設け、

前記各ゲート電極引き出し領域部上の第1の層間絶縁膜に少なくとも1つのコンタクトホール138を形成し、ゲート電極の両側の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール139、140を、ゲート電極の間の不純物領域上の第1の絶縁膜に少なくとも1つのコンタクトホール141をそれぞれ同一垂直配線チャネル上に形成し、

前記各ゲート電極引き出し領域部上の第2の層間絶縁膜には同一領域内のコンタクトホールに隣接して少なくとも1つのビアホール142を形成し、前記ゲート電極間の不純物領域上の第2の層間絶縁膜には同一領域内のコンタクトホールに隣接して1つのビアホール143を形成し、該ビアホールに隣接する垂直同一配線チャネル上のゲート電極の両側の不純物領域およびゲート電極間の不純物領域内にそれぞれ1つずつビアホール14

4、145、146を、前記基本セル間の1本の水平配線チャネル領域上に少なくとも4つのビアホール147～150を形成し、

前記ゲート電極引き出し領域部内にはコンタクトホールとビアホールとを接続する第1の配線層151を、ゲート電極の両側の不純物領域上の1つのビアホール同士を連続的に接続して電源線として使用する第1の配線層152を、前記ゲート電極の両側の不純物領域のそれぞれの同一領域内のコンタクトホールと他のビアホールとを接続する第1の配線層153、154を、前記ゲート電極間の不純物領域内のコンタクトホールと該コンタクトホールに隣接するビアホールとを接続する第1の配線層155を、前記ゲート電極間のp型の不純物領域内の他のビアホールと前記ゲート電極間のn型の不純物領域内の他のビアホールとを接続する第1の配線層156を、電源線用の第1の配線層と接触しないように基本セル間の配線チャネル上の各ビアホールを所続的に接続する第1の配線層157を予め形成しておく、

要求される回路機能に従って、前記第2の絶縁膜に形成されたビアホールを介して第1の配線層を電気的に接続する第2の配線層を形成することを特徴としている。

#### (作用)

第1の発明によれば、第2図に示すように、コンタクトホール、第1の配線層およびビアホールを所定の位置に予め形成しておく。そして、要求される回路機能に従って、第3図に示すように第2の配線層を形成する。

なお、第3図では基本的な機能の回路のみを示しているが、第2の配線層のパターンを変えることにより、他の基本的な機能の回路および複雑な機能の回路についても当業者ならば容易に作成可能である。

第2の発明によれば、第1の発明と同様に、第5図に示すように、第2の配線層のパターンのみを変えることにより種々の機能の回路を作成することができる。

第2の発明(第4図)と第1の発明(第2図)とを比べると、第2の発明ではセル間配線チャネル領域を設け、かつ該セル間配線チャネル領域にビアホール61、62、第1の配線層69を設けている点が異なっている。これにより、例えば第1の配線層69を水平方向の信号線を通す場合に利用することが可能となるので、大規模な回路の作成が容易となる。

第3の発明によれば、第7図に示すように、他の発明と同様に第2の配線層のパターンを変えることにより種々の機能の回路を作成することができる。

第3の発明(第6図)と第2の発明(第4図)とを比べると、第3の発明ではセル間配線チャネル領域に4つのビアホール83～86を設けて水平方向の第1の配線層92と電源線としての第1の配線層92とが短絡しないようにしている。また第1の配線層92がコンタクトホールを介さずに連続的に配線されるので、電圧降下の少ない良質の電源線を形成することができる。

第4の発明によれば、第9図に示すように、他の発明と同様に第2の配線層パターンを変えることにより種々の機能の回路を作成することができる。

第4の発明(第8図)と第3の発明(第6図)とを比べると、第4の発明では垂直方向の配線チャンネルを16本に増やしている。これによりセル間配線チャンネル領域のビアホール107をセル内のビアホール101とを1垂直配線チャンネル分ずらすことができるので、特に第9図に示す直列接続された2つのトランスマッションゲートを1つの基本セル上に作成することが可能となる。

第5の発明によれば、第11図に示すように、他の発明と同様に第2の配線層パターンを変えることにより種々の機能の回路を作成することができる。

第5の発明(第10図)と第4の発明(第8図)とを比べると、第5の発明では第11図に示すように、垂直方向の配線チャンネルが14本の状態でも直列接続された2つのトランスマッションゲ-

ートを1つの基本セル上に作成することが可能となる。

第6の発明によれば、第13図に示すように、他の発明と同様に、第2の配線層パターンを変えることにより種々の機能の回路を作成することができる。

第6の発明(第12図)と第5の発明(第10図)とを比べると、第5の発明では2つの基本セルを1つの基本ブロックとしているので、下側の基本セルのみを使用する場合には上側の基本セルが無駄になり、逆に上側の基本セルのみを使用する場合には下側の基本セルが無駄になる場合があるが、第6の発明では1つの基本セルが1つの基本ブロックとなっているので、基本セルの使用効率が向上する。

#### (実施例)

次に図を参照しながら本発明の実施例について説明する。

第1図は第1～5の発明のマスクスライス方法

リSIによって形成される。

(イ) 第1の発明のマスクスライス方法の説明

第2図は第1の発明のマスクスライス方法を説明する共通パターン図である。図において、黒で塗りつぶした四角印は第1層目の絶縁膜に形成されるコンタクトホール、細い実線は第1の配線層、塗りつぶしていない四角印は第2層目の絶縁膜に形成されるビアホールである。

なお、ウェハプロセスで形成される順序について説明すると、ゲート電極やソース・ドレイン用不純物領域を形成した後に、これらを被覆する第1の絶縁膜(例えばCVD-SiO<sub>2</sub>膜)を形成する。次に第1の絶縁膜にコンタクトホールを形成した後に、第1の配線層を形成する。次いで第2の絶縁膜(例えばCVD-PSG膜)を被覆した後に、第2の絶縁膜にビアホールを形成する。このようにして形成されたのが第2図のパターン図である。以下、第4図、第6図、第8図、第10図および第12図のパターン図も同様のウェハプロセスで形成される。

の基本ブロックの説明図である。図において、基本ブロック1Aは1対の基本セル1よりなり、また1つの基本セル1は直列接続の2つのpチャンネルトランジスタと同じく直列接続の2つのnチャンネルトランジスタとによって構成されている。1つのpチャンネルトランジスタはゲート電極2とソース・ドレイン用のp型不純物領域4、5よりなり、もう一つのpチャンネルトランジスタはゲート電極3とソース・ドレイン用のp型不純物領域6よりなっている。また1つのnチャンネルトランジスタはゲート電極2とソース・ドレイン用のn型不純物領域7、8よりなり、もう一つのnチャンネルトランジスタはゲート電極3とソース・ドレイン用のn型不純物領域8、9よりなっている。

10はpチャンネルトランジスタの形成領域とnチャンネルトランジスタの形成領域とを分離する領域であり、該分離領域上および各トランジスタの端部にはゲート電極引出し領域部11～16が設けられている。このゲート電極引出し領域部11～16およびゲート電極2、3は、例えばボ

次に第2図を参照しながら第1の発明のコンタクトホール、第1の配線層およびビアホールの各パターン配置について説明する。基本セルは3本の水平側配線チャネルとこれに交差する14本の垂直側配線チャネルで形成される領域上に形成されており、コンタクトホール、第1の配線層およびビアホールはこれらの配線チャネルで定まる位置に形成される。

ゲート電極引出し領域部11ではコンタクトホール17とビアホール27が第1の配線層38によって接続されている。これによりゲート電極2をビアホール27を介して外に引き出すことができる。他のゲート電極引出し領域部12~14についても同様なパターン配置となっている。

またp型不純物領域4には4本の垂直側配線チャネル上に3つのビアホール31~33と1つのコンタクトホール21が連続して配列されている。

またp型不純物領域6、n型不純物領域7、9についてもそれぞれp型不純物領域4と対称的な位置にコンタクトホールとビアホール（番号省略）

が配列されている。

ゲート電極2と3の間のp型不純物領域5およびn型不純物領域8には対称的な位置に1つのコンタクトホール22、25が形成されている。分離領域10のゲート電極引出し領域部16にはビアホール35、37が2つ、また分離領域10上のゲート電極引出し領域部がない所にもビアホール34、36が形成されている。

p型不純物領域4上のビアホール31はこれと対称的なp型不純物領域6上のビアホールと第1の配線層39によって接続されている。またビアホール32もこれと対称的な不純物領域上のビアホールと第1の配線層40によって互いに接続され、更に第1の配線層40は延長されて隣接する基本セルのビアホールに接続し、一般に電源線(V<sub>DD</sub>)として利用される。またコンタクトホール21とビアホール33とは第1の配線層41によって接続され、コンタクトホール22とビアホール34とは第1の配線層42によって接続されている。更にビアホール35と37はこれと対称

な位置の隣接する基本セルの各ビアホールと第1の配線層43によって接続されている。

第2図に示すように、コンタクトホール、第1の配線層およびビアホールの各パターンは、基本ブロック1Aの中心に対して点対称の配置となっている。

第3図は種々の論理回路を形成する第1の発明の第2の配線層パターン図であり、太い実線は第2の配線層である。このように、第2図のビアホールまでの共通パターンを基にして、第2の配線層を変えるだけで適宜所定の論理回路を得ることができるので、ターンアラウンドタイムの短縮化を図ることが可能となる。

(ロ) 第2の発明のマスタライズ方法の説明

第4図は第2の発明のマスタライズ方法を説明する共通パターン図である。なお基板のトランジスタ列は第1図のトランジスタ列と同様な配列となっている。

ゲート電極引出し領域部ではコンタクトホール44とビアホール52が第1の配線層63によ

って接続されており、p型不純物領域5内のコンタクトホール50はp型不純物領域4内のビアホール54と第1の配線層64によって接続されている。またp型不純物領域4、6内のビアホール55、57は互いに第1の配線層65によって接続されている。そしてp型不純物領域4内のコンタクトホール48とビアホール56とは第1の配線層66により、p型不純物領域6内のコンタクトホール49とビアホール58とは第1の配線層67により、p型不純物領域5内のコンタクトホール51と分離領域10内のビアホール59とは第1の配線層68によって接続されている。

図のように、これらのコンタクトホール、第1の配線層およびビアホールの各パターンは、基本ブロックの中心に対して対称な位置に配置される。そして、基本セルの間には配線チャネル領域が設けられ、第1の配線層69により接続されたビアホール61、62が形成されている。

第5図は種々の論理回路を形成する第2の発明の第2の配線層パターン図であり、太い実線は第

2の配線層である。このように、第4図のビアホールまでの固定共通パターンを基にして、第2の配線層を変更するだけで適宜所定の論理回路を得ることができるので、第1の発明のマスクスライスと同様にターンアラウンドタイムの短縮化を図ることが可能となる。

また、第2の発明ではセル間に配線チャネル領域を設け、該セル間配線チャネル領域にビアホール61、62および第1の配線層69を設けている。この第1の配線層69を横方向の信号線として利用することができるので、横方向のセル間の接続等が容易となり、大規模な回路の作成が可能となる。なお電源線(V<sub>cc</sub>、V<sub>ss</sub>)は、第5図に示すように、第2の配線層によりセル間を縦方向に接続するので、横方向のセル間の信号線(第1の配線層)と短絡することはない。

#### (ハ) 第3の発明のマスクスライス方法の説明

第6図は第3の発明のマスクスライス方法を説明する共通パターン図である。図において、70～74はコンタクトホール、75～86はビアホ

のパターンのみを変更することによって、種々の論理回路を形成したのが第9図である。

特に本発明では第9図(その4)に示すように、直列に並べた2つのトランスマッションゲートを1つの基本セル(基本ブロックの半分)の上に形成することができるので、フリップフロップ回路やカウンタ回路を構成する場合、より回路の高集積化を図ることが可能となる。

#### (ホ) 第5の発明のマスクスライス方法の説明

第10図は第5の発明のマスクスライス方法を説明する共通パターン図である。図において、117～120はコンタクトホール、121～131はビアホール、132～137は第1の配線層のパターンであり、基本ブロックの中心に対して対称である。

第10図の共通パターン図を基に、第2の配線層のみを変更することによって、種々の論理回路を形成したのが第11図である。

第5の発明も第4の発明と同様に、2つの直列のトランスマッションゲートを1つの基本セル上

ール、87～92は第1の配線層のパターンであり、各パターンは基本ブロックの中心に対して対称である。この発明では前述の第2の発明と異なり、V<sub>cc</sub>電源線89(第1の配線層)がコンタクトホールを介することなく縦方向に伸びている(V<sub>ss</sub>電源線についても同様である。)。従って、電源線に電流が流れたときの電圧降下を少なくすることができるので、より回路動作の高速化を図ることができる。

第7図は第6図の第1の配線層までの共通パターンを基に、第2の配線層(太い実線)のみによって種々の論理回路を形成する図である。

#### (ニ) 第4の発明のマスクスライス方法の説明

第8図は第4の発明のマスクスライス方法を説明する共通パターン図である。図において、93～97はコンタクトホール、98～109はビアホール、110～116は第1の配線層のパターンであり、同様に基本ブロックの中心に対して対称構造となっている。

第8図の共通パターン図を基に、第2の配線層

に作成することができる(第11図(その4))が、第5の発明は第4の発明に比べてパターン形成面積を少なくすることができる点で有利である。すなわち、第8図(第4の発明)と第10図(第5の発明)の共通パターン図を比較すれば、第8図では16本の垂直側配線チャネルを要しているのに対し、第10図では14本の垂直側配線チャネルで形成することができる。

#### (ヘ) 第6の発明のマスクスライス方法の説明

第12図は、第6の発明のマスクスライス方法を説明する共通パターン図である。図において、138～141はコンタクトホール、142～150はビアホール、151～157は第1の配線層のパターンである。本発明では他の発明と異なり、基本ブロックは1つの基本セルによって構成されている。そして各パターンは基本セルの中心に対して対称な位置に配置されている。また基本セルは3本の水平側配線チャネル、セル間配線チャネルと14本の垂直側配線チャネル上に形成されている。

第13図はこの第12図の共通パターン図を基に、第2の配線層のみを変更することによって、種々の論理回路を形成したものである。

本発明では特に1つの基本セルを論理回路を形成するための基本ブロックとした点に意義がある。すなわち、従前の発明では2つの基本セルを1つの基本ブロックとするため、下側のみの基本セルを使用して論理回路を作成する場合には上側の基本セルが無駄になり、逆に上側の基本セルのみを使用して論理回路を作成する場合には下側の基本セルが無駄になる。この点、本発明ではどの基本セルを使用しても所定の論理回路を作成することができるので、基本セルの使用効率が向上し、回路の高集積化が可能となる。

#### (発明の効果)

以上、説明したように、第1～第6のいずれの発明によっても、第2の配線層のみを変更することにより、種々の論理回路を作成することができるので、ターンアラウンドタイムの短縮化を図る

発明では垂直方向の配線チャネル数を16から14に減らすことができるので、より面積の縮小化が可能となる。

第6の発明では、1つの基本セルを基本ブロックとして、直列接続された2つのトランスミッションゲートやその他の種々の論理回路を形成することができる。このため、第1～第5の発明よりも更に論理回路の形成が簡単になる。

#### 4. 図面の簡単な説明

第1図は第1～第5の発明の基本ブロックのトランジスタ列の説明図、

第2図は第1の発明の共通パターン説明図、

第3図は第1の発明の第2の配線パターン図、

第4図は第2の発明の共通パターン説明図、

第5図は第2の発明の第2の配線パターン図、

第6図は第3の発明の共通パターン説明図、

第7図は第3の発明の第2の配線パターン図、

第8図は第4の発明 共通パターン説明図、

第9図は第4の発明の第2の配線パターン図、

第10図は第5の発明の共通パターン説明図、

ことが可能となる。

第2の発明ではセル間配線チャネル領域を設けることにより、信号線を選択方向に通すことができるので、第1の発明に比べて論理回路間の接続が容易となる。

第3の発明ではセル間配線チャネル領域にビアホールを形成し、電源線は第1の配線層によって形成している。このため、第2の発明に比べ、電源線に電流が流れたときの該電源線での電圧降下を少なくすることができるので、回路動作の高速化が可能となる。

第4の発明では直列接続された2つのトランスミッションゲートを1つの基本セル上に作成することが可能となる。このためフリップフロップ回路やカウンタ回路等、2つの直列のトランスミッションゲートを構成要素とする回路を作成する場合、形成面積の縮小化が可能となる。

第5の発明では第4の発明と同様に、1つの基本セル上に直列接続された2つのトランスミッションゲートを作成することができる。特に第5の

第11図は第5の発明の第2の配線パターン図、

第12図は第6の発明の共通パターン説明図、

第13図は第6の発明の第2の配線パターン図、  
第14図はマスタリス基本セルの説明図である。

#### (符号の説明)

第1図において、

1…基本セル、

1A…基本ブロック、

2, 3…ゲート電極、

4～6…p型不純物領域、

7～9…n型不純物領域、

10…分離領域、

11～16…ゲート電極引き出し領域部、

第2図において(第1の発明)、

17～26…コンタクトホール、

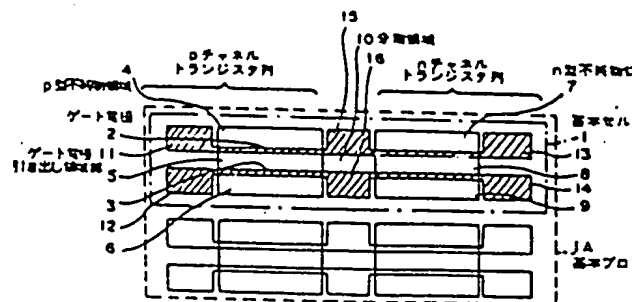
27～37…ビアホール、

38～43…第1の配線層、

第4図において(第2の発明)、

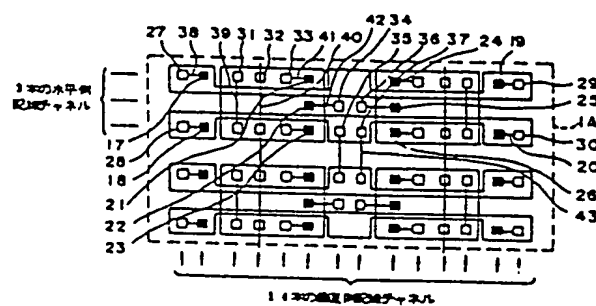
44～51…コンタクトホール、

5 2 ~ 6 2 ... ビアホール、  
6 3 ~ 6 9 ... 第 1 の配線層、  
第 6 図において (第 3 の発明)、  
7 0 ~ 7 4 ... コンタクトホール、  
7 5 ~ 8 6 ... ビアホール、  
8 7 ~ 9 2 ... 第 1 の配線層、  
第 8 図において (第 4 の発明)、  
9 3 ~ 9 7 ... コンタクトホール、  
9 8 ~ 1 0 9 ... ビアホール、  
1 1 0 ~ 1 1 6 ... 第 1 の配線層、  
第 1 0 図において (第 5 の発明)、  
1 1 7 ~ 1 2 0 ... コンタクトホール、  
1 2 1 ~ 1 3 1 ... ビアホール、  
1 3 2 ~ 1 3 7 ... 第 1 の配線層、  
第 1 2 図において (第 6 の発明)、  
1 3 8 ~ 1 4 1 ... コンタクトホール、  
1 4 2 ~ 1 5 0 ... ビアホール、  
1 5 1 ~ 1 5 7 ... 第 1 の配線層。



第1〜第5の発明の基本ブロックの  
トランジスタ列の説明図

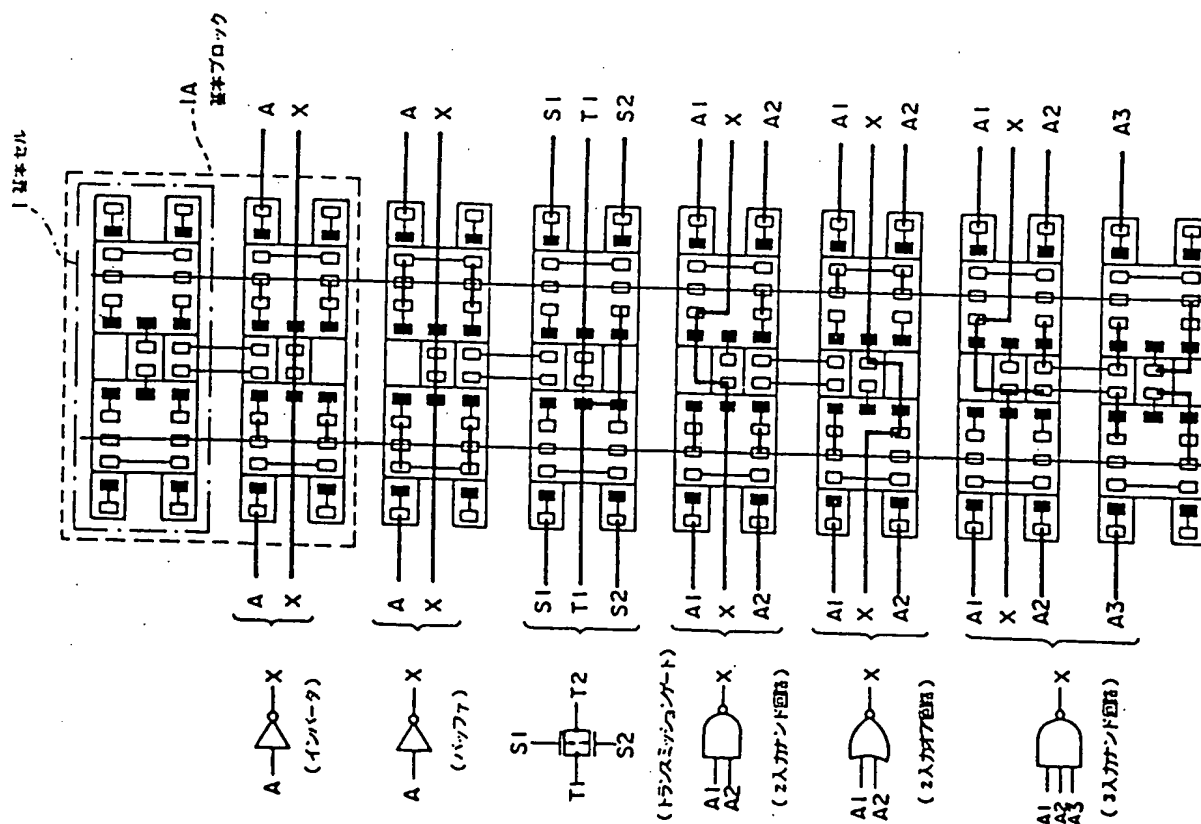
第 1 题



第1の発明の共通パターン説明図

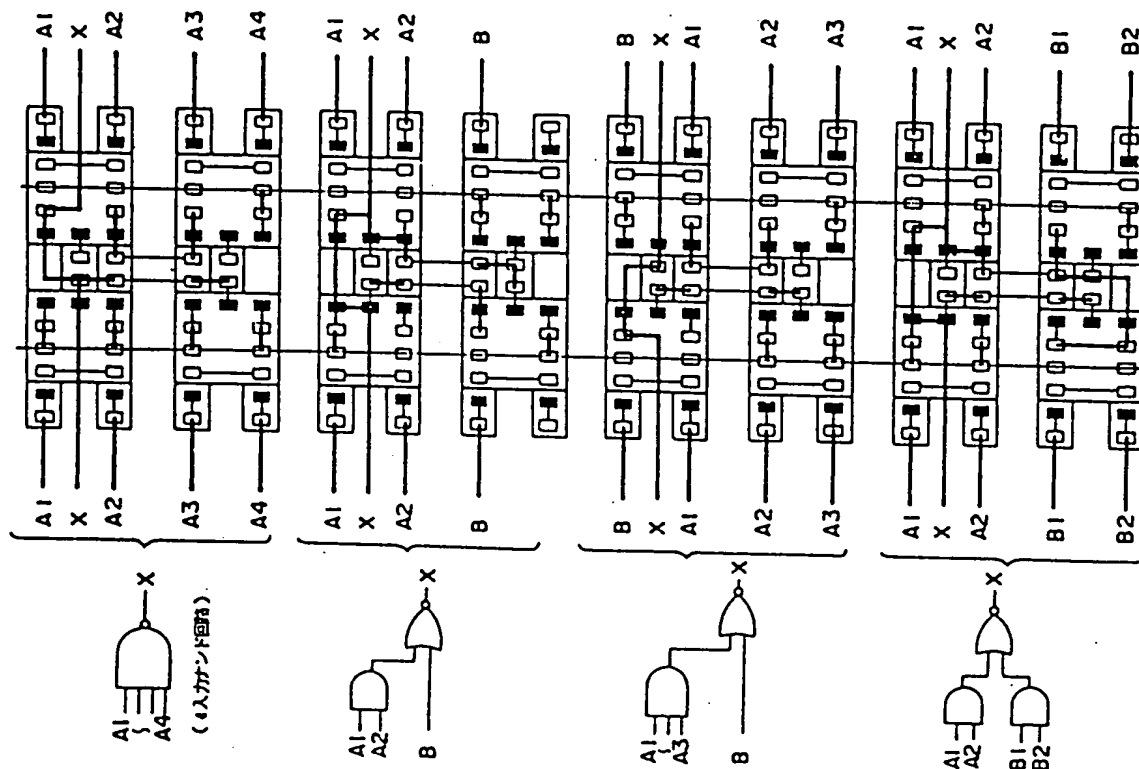
第 2 题

代理人弁理士 井 桁 貞



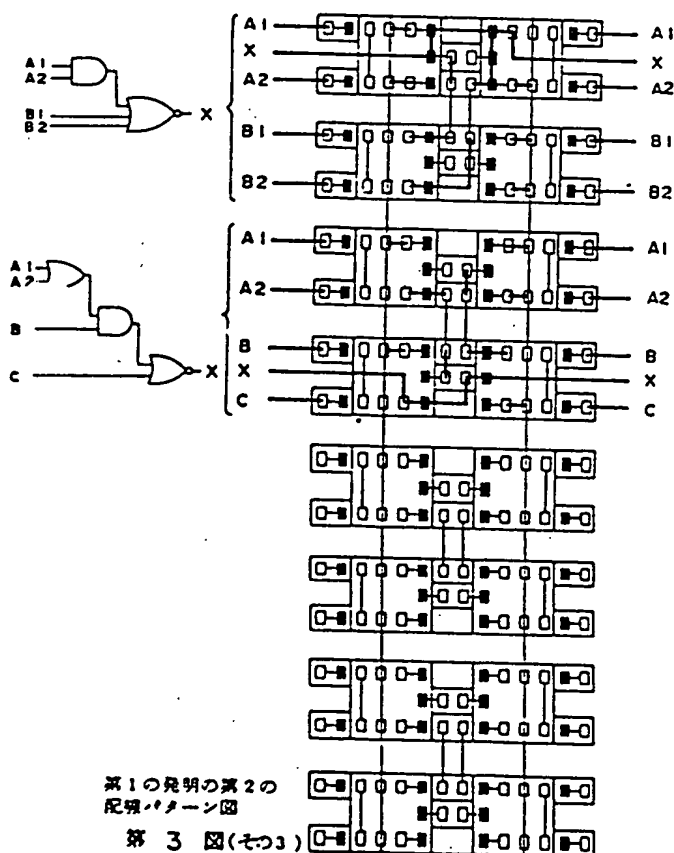
第1の発明の第2の配線パターン図

第3図(その1)



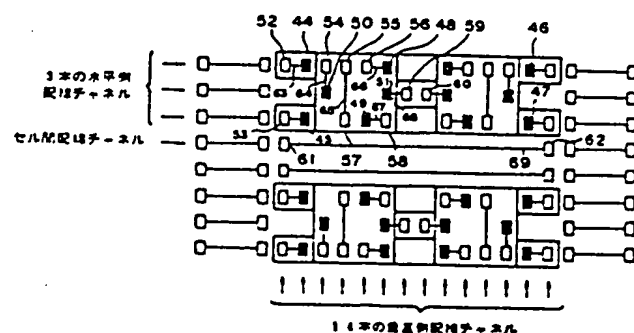
第1の発明の第2の配線パターン図

第3図(その2)



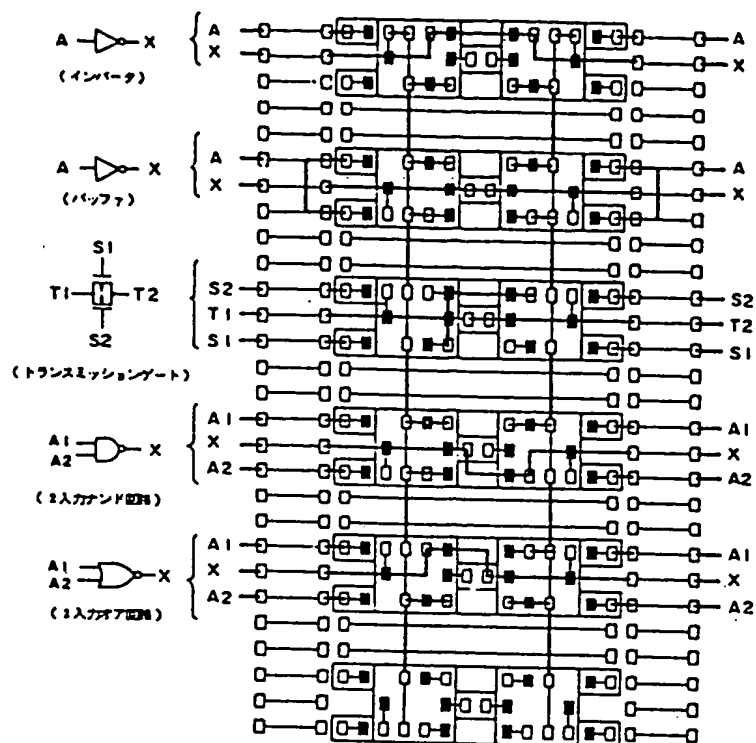
第1の発明の第2の配線パターン図

第3図(その3)



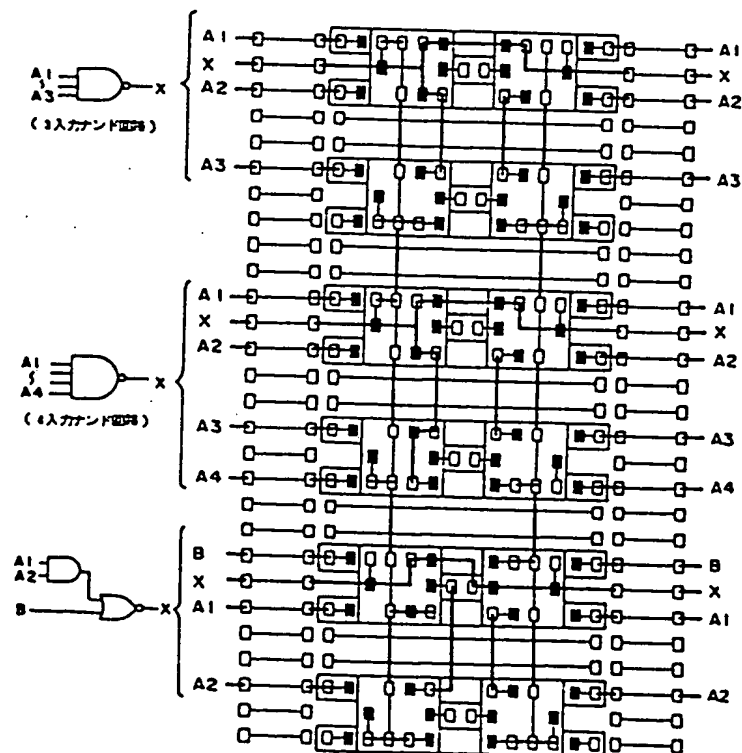
第2の発明の共通パターン図

第4図



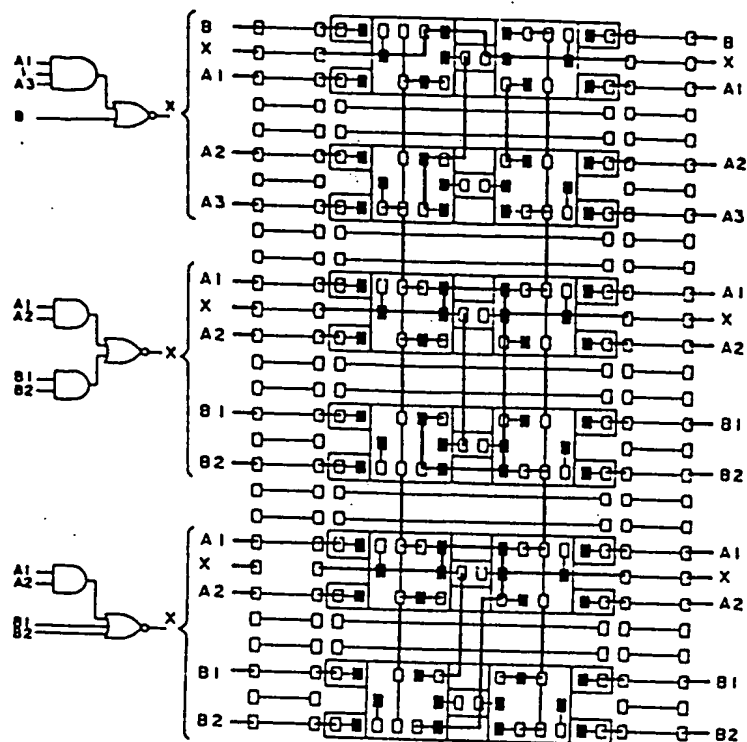
第2の発明の第2の配線パターン図

第5図(その1)



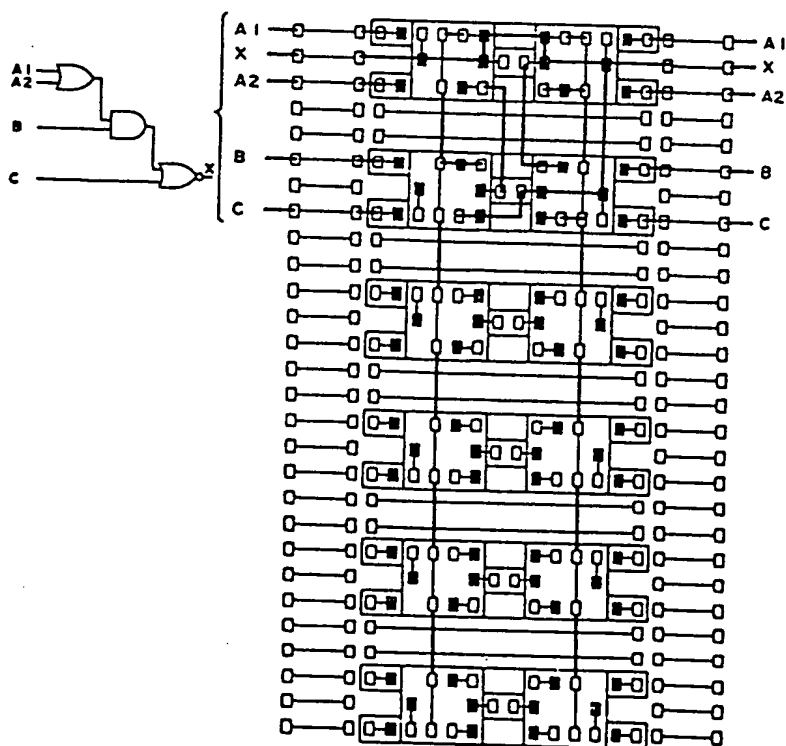
第2の発明の第2の配線パターン図

第5図(その2)



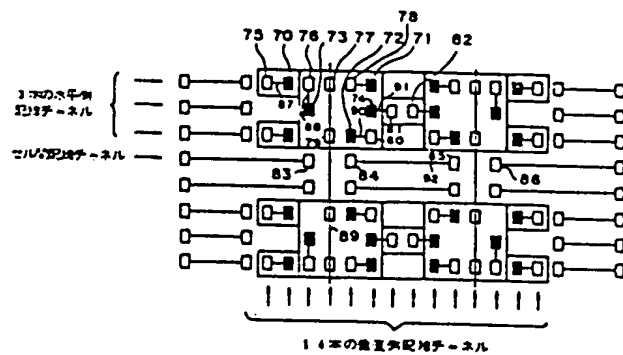
第2の発明の第2の配線パターン図

第5図(その3)



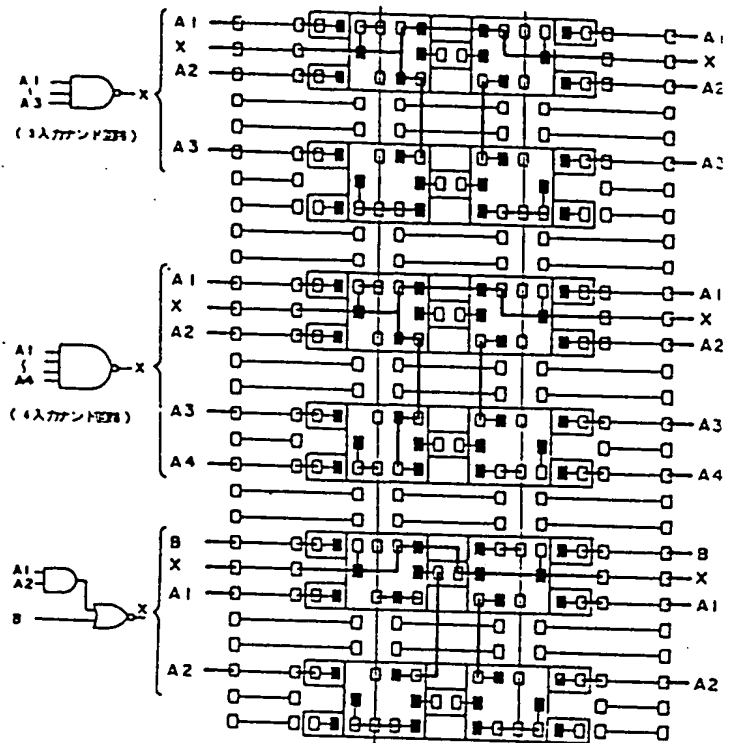
第2の発明の第2の配線パターン図

第5図(その4)



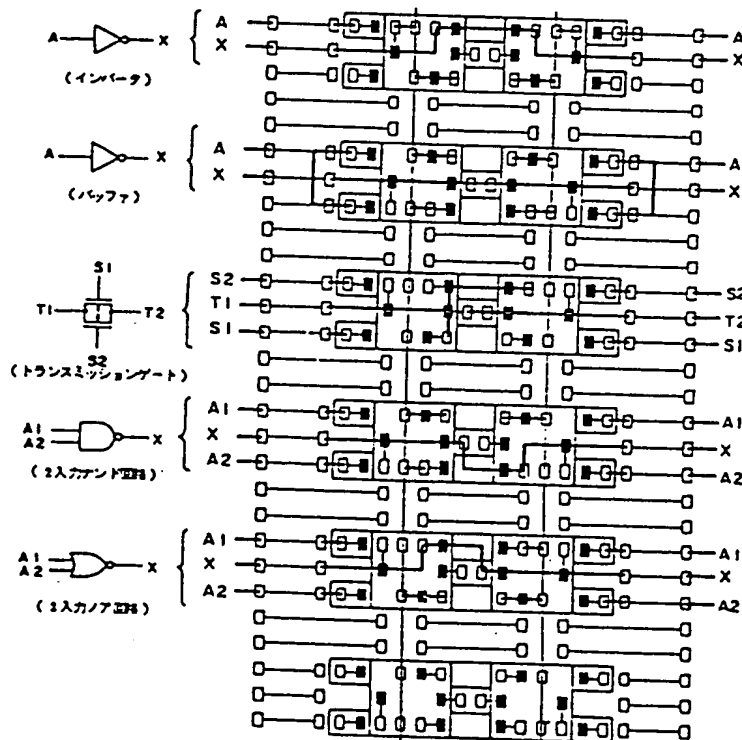
第3の発明の共通パターン説明図

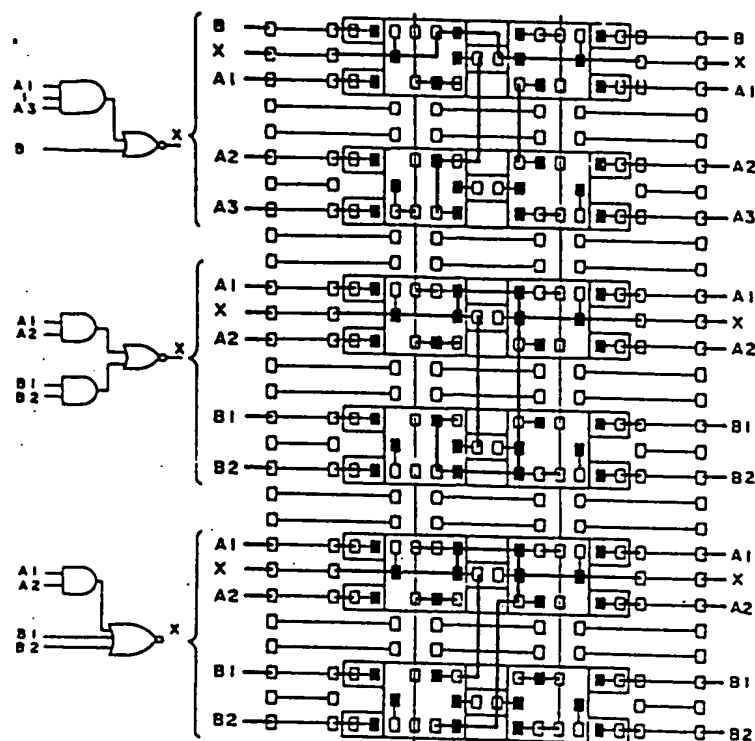
第6図



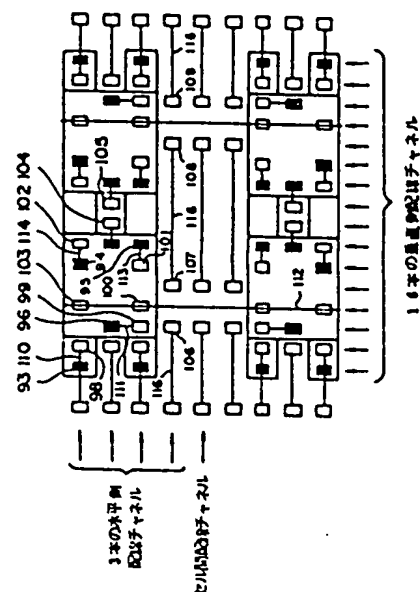
第3の発明の第2の配線パターン図

第7図(その2)



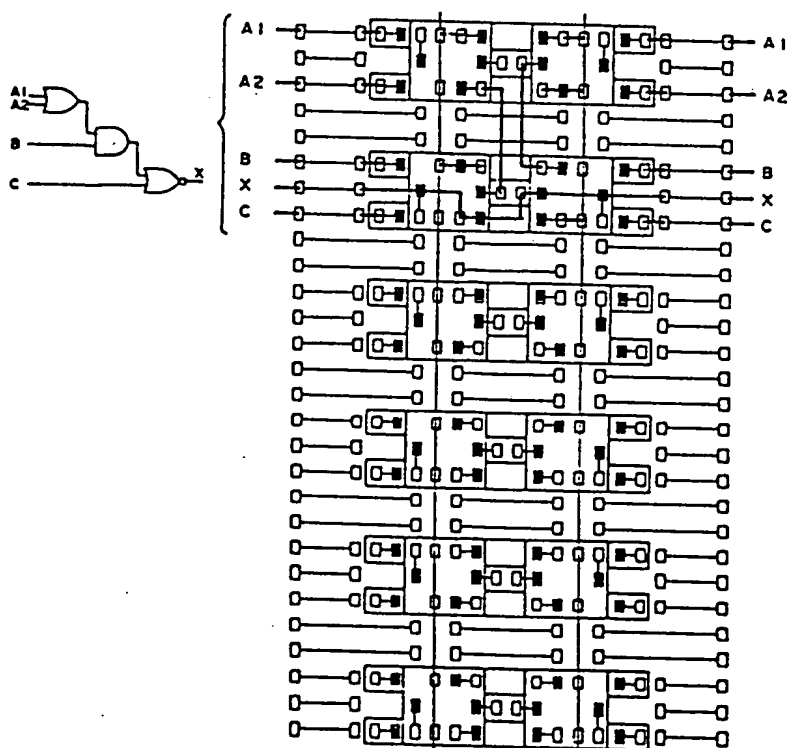


第3の発明の第2の配線パターン図  
第7図(その3)



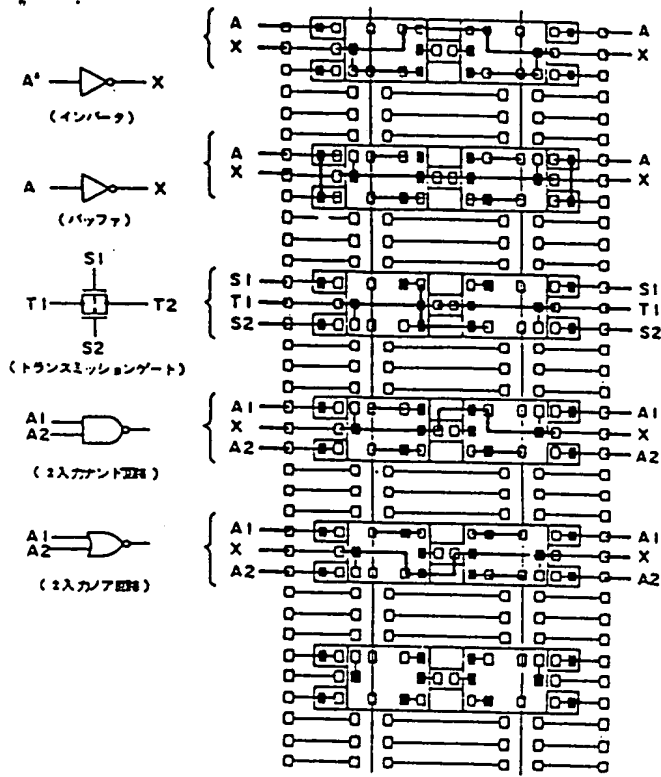
第4の発明の共通パターン説明図

第8図



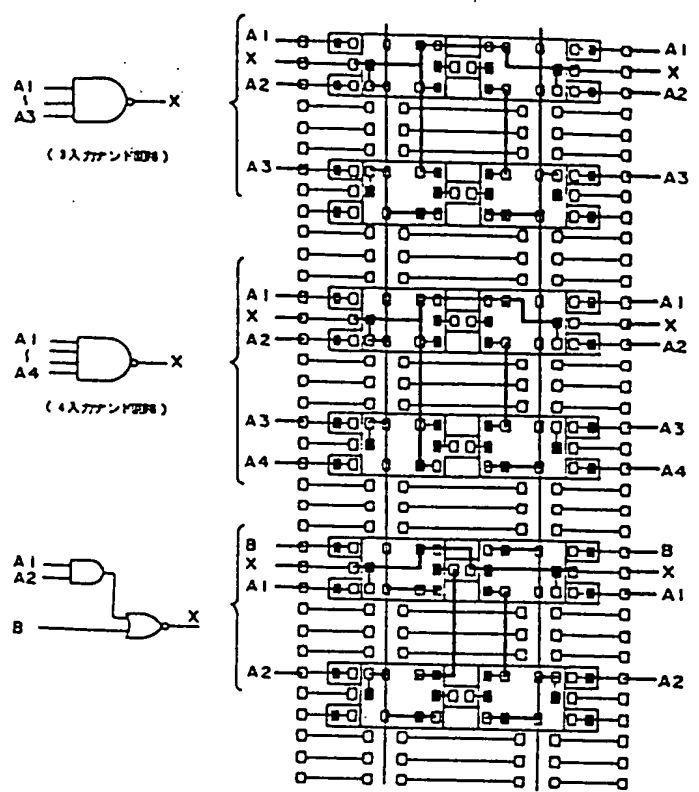
第3の発明の第2の配線パターン図

第7図(その4)



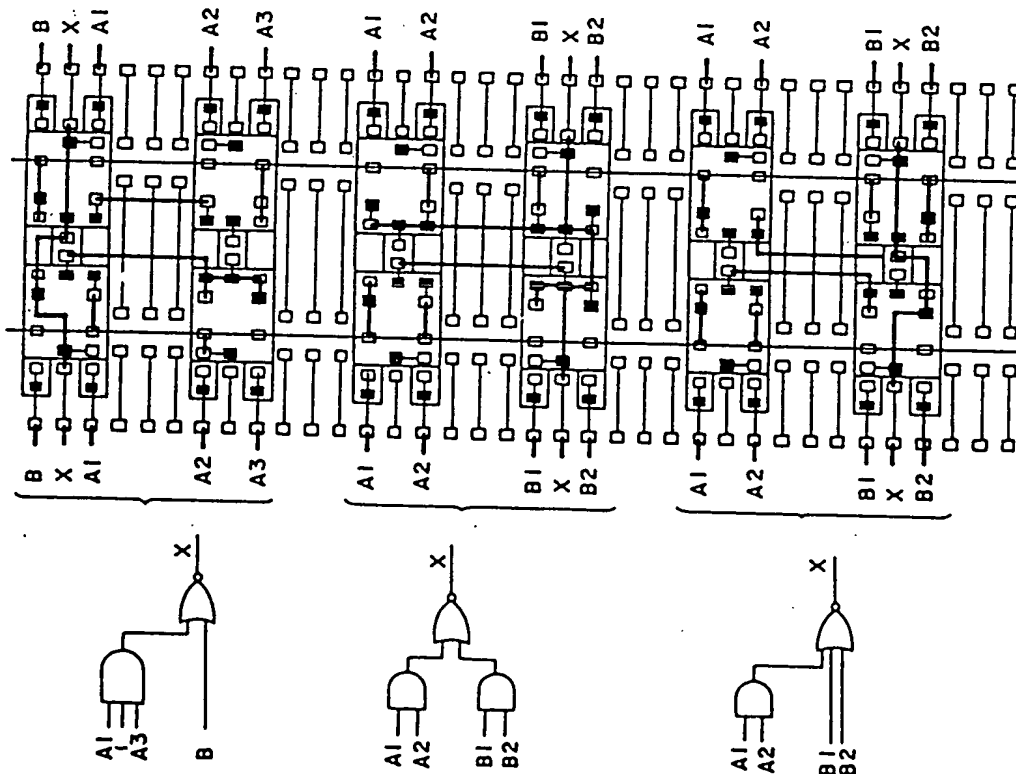
第4の発明の第2の配線パターン図

第9図(その1)



第4の発明の第2の配線パターン図

第9図(その2)

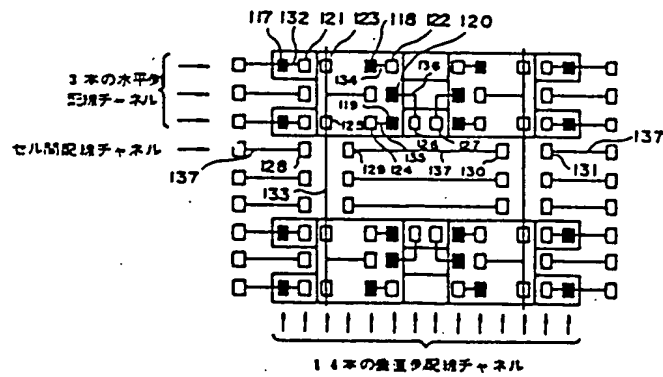
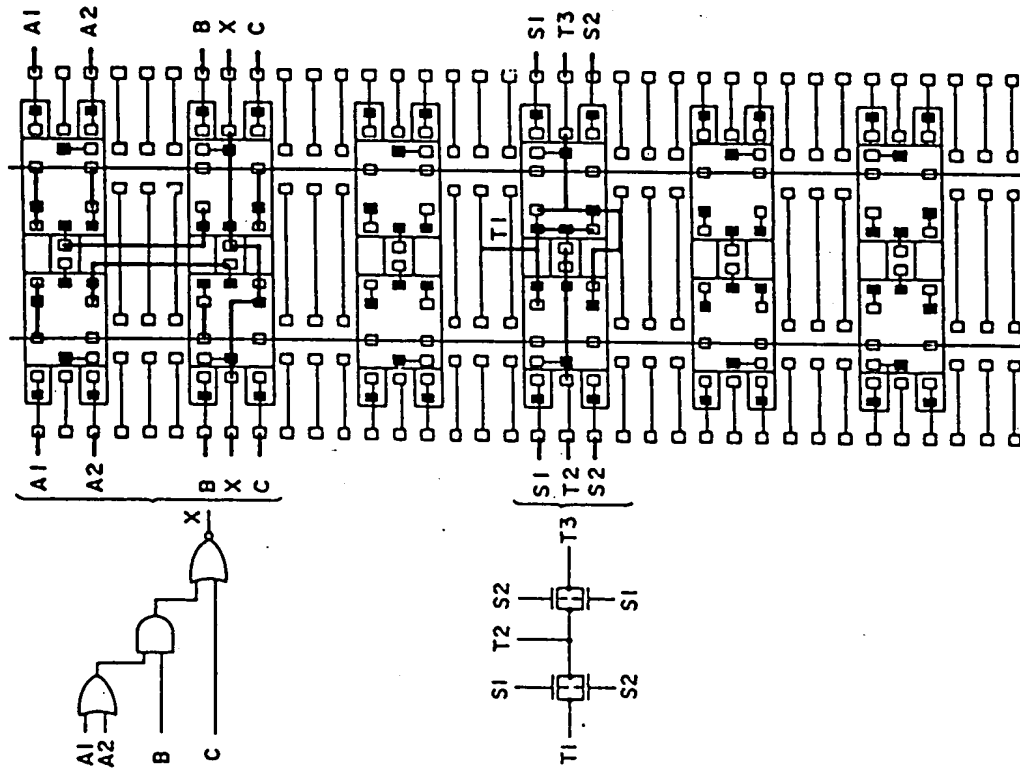


第4の発明の第2の配線パターン図

第9図(その3)

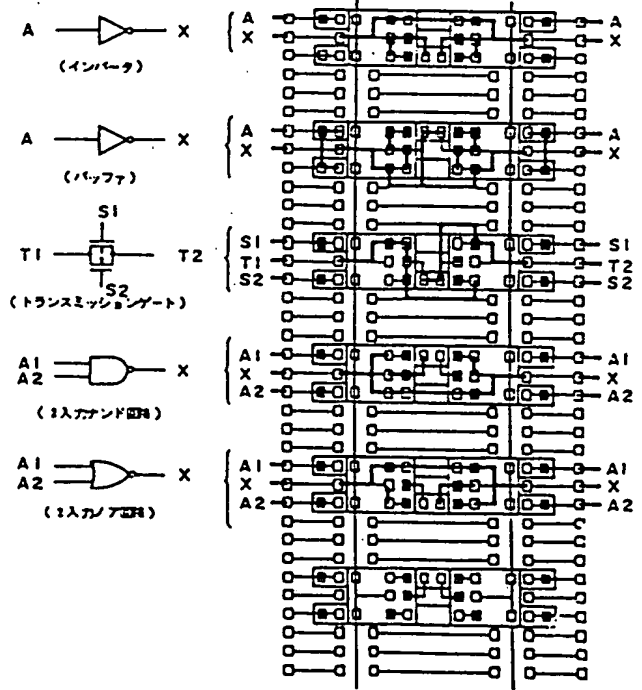
第4の発明の第2の配線パターン図

第9図(その1)



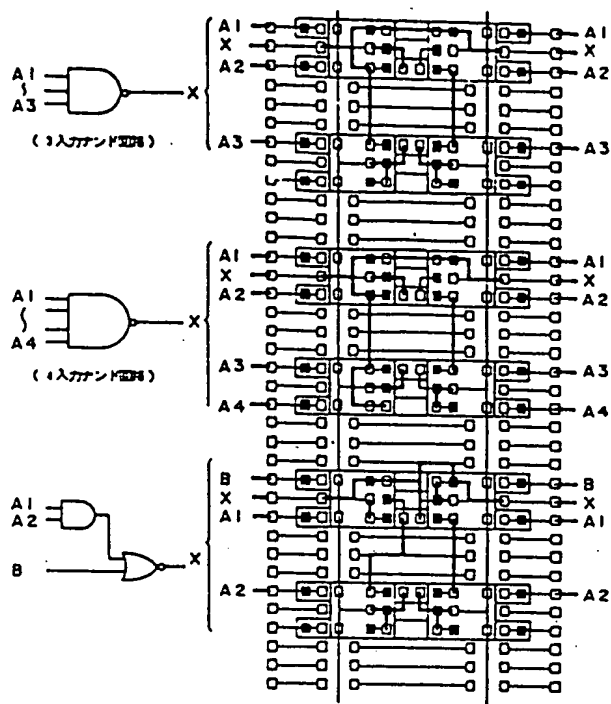
第5の発明の共通パターン図

第10図

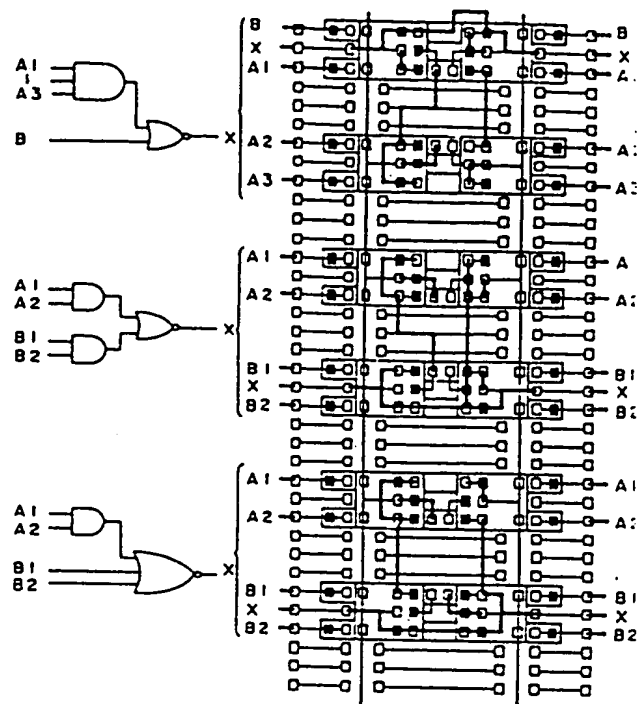


第3の発明の第2の配線パターン図

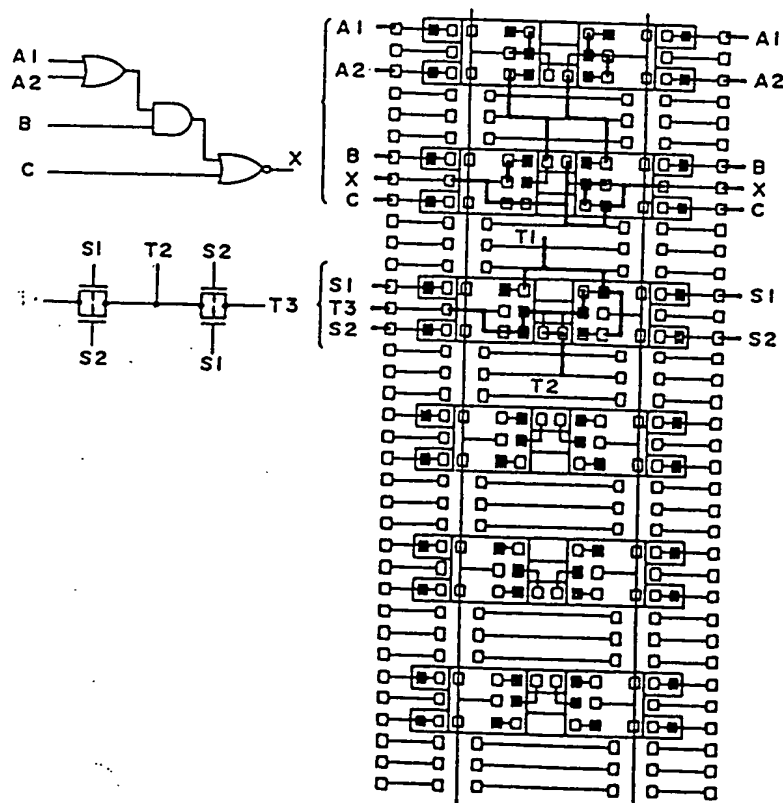
第11図(その1)



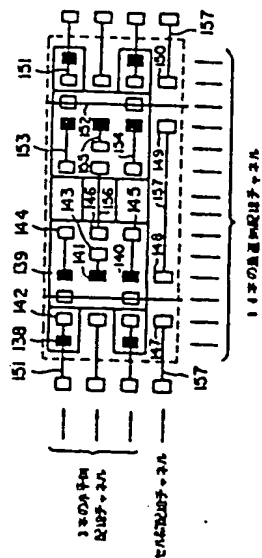
第5の発明の第2の配線パターン図  
第 II 図 (その2)



第5の発明の第2の配線パターン図  
第 II 図 (その3)

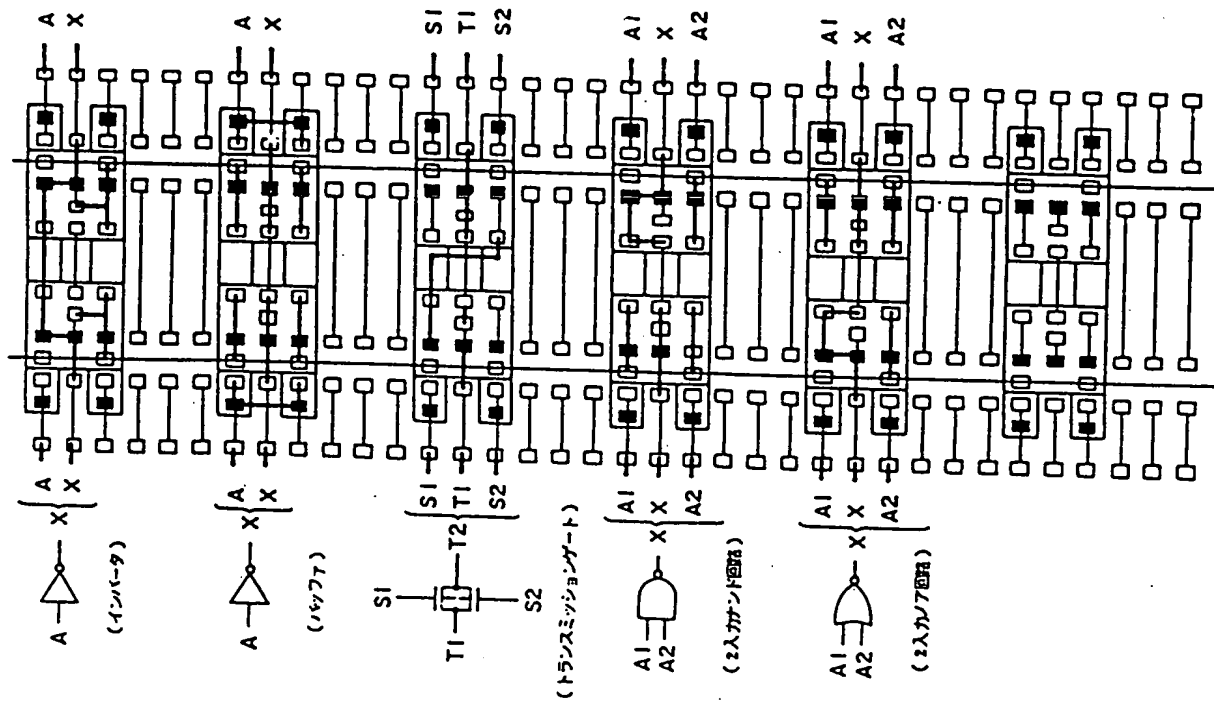


第5の発明の第2の配線パターン図  
第 II 図 (その4)



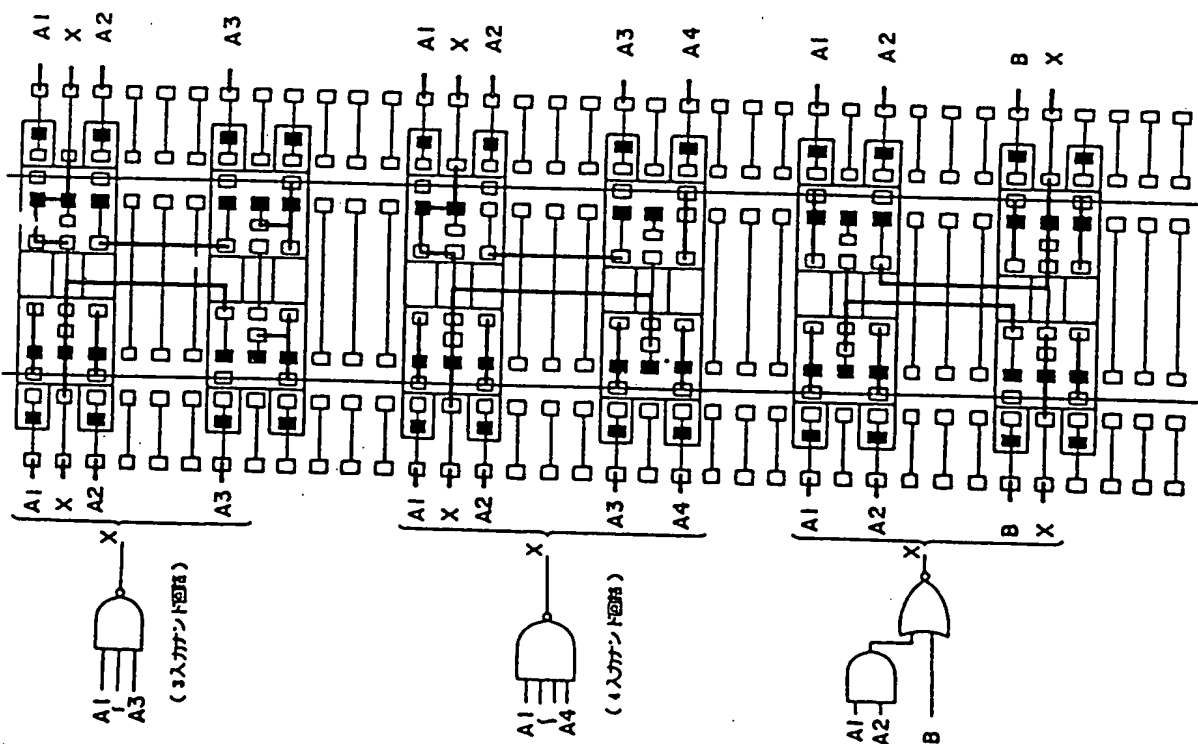
第6の発明の共通パターン図

第 12 図



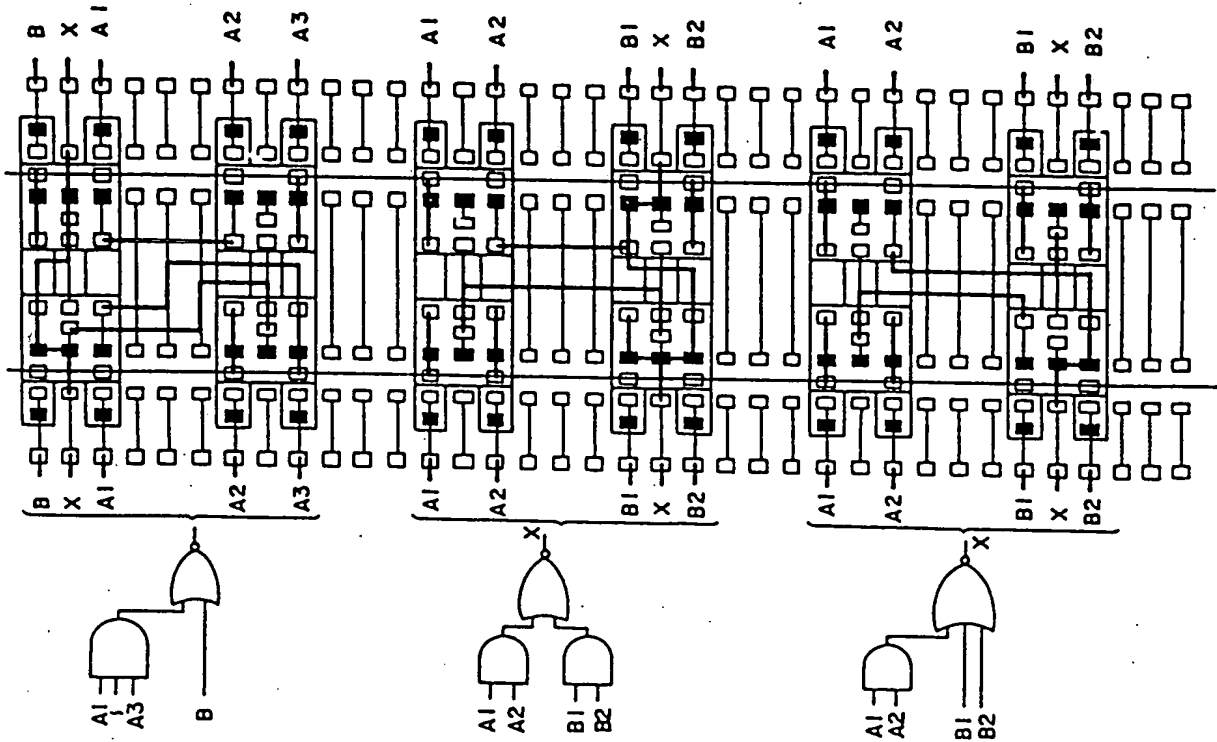
第6の発明の第2の配線パターン図

第13図 (その1)

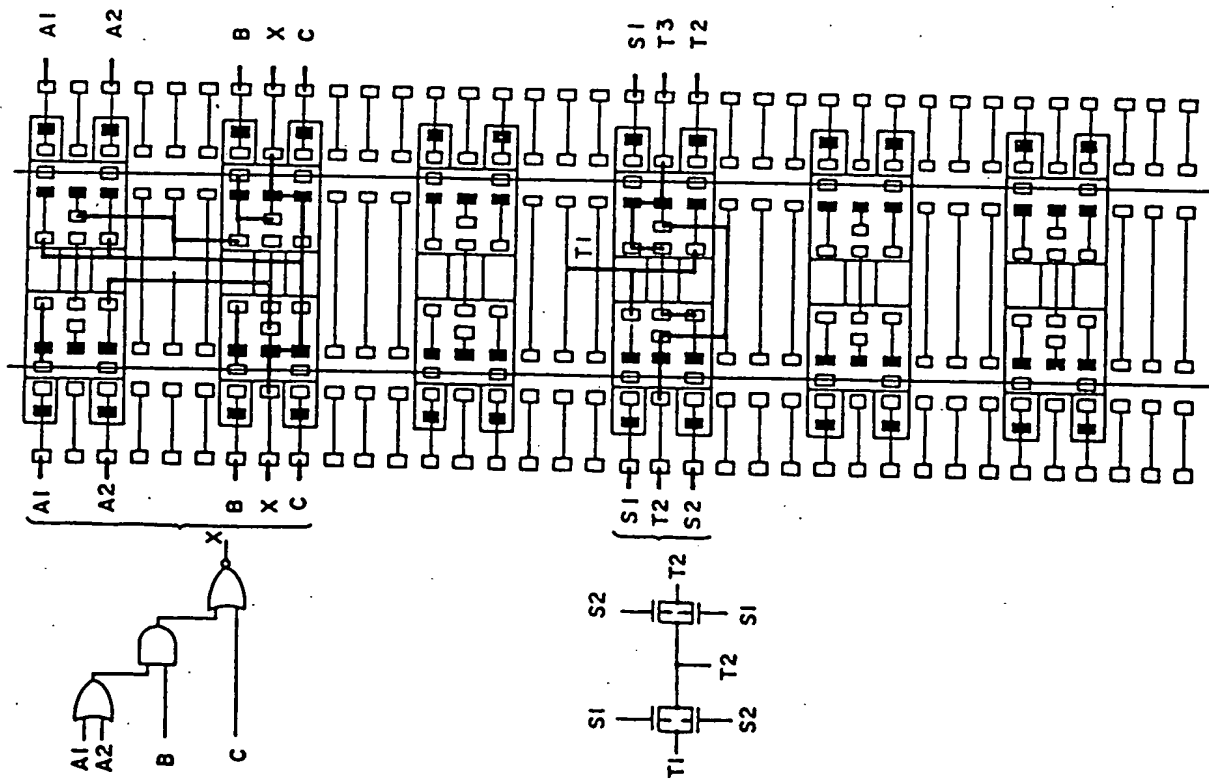


第6の発明の第2の配線パターン図

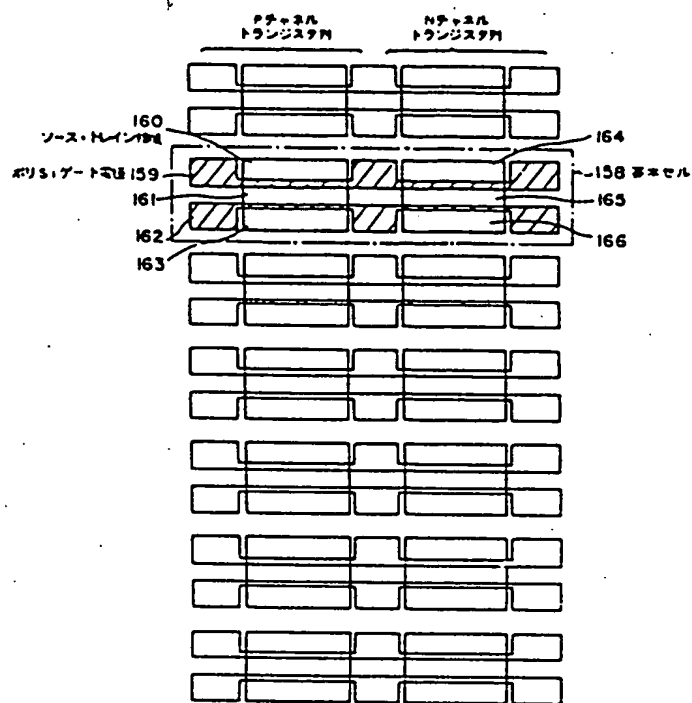
第13図 (その2)



第6の発明の第2の配線パターン図  
第13図(その3)



第6の発明の第2の配線パターン図  
第13図(その4)



マスクレス型素子の説明図

第 14 図